

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000053529 A
 (43)Date of publication of application: 25.08.2000

(21)Application number: 1020000002365
 (22)Date of filing: 19.01.2000

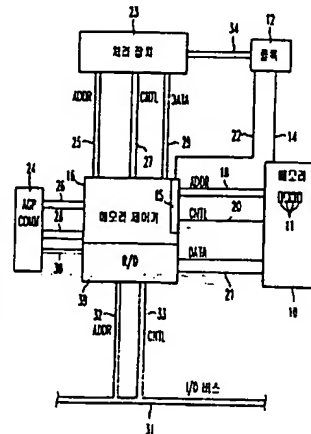
(71)Applicant: INTERNATIONAL BUSINESS
 MACHINES CORPORATION
 (72)Inventor: DELTIMOSI J.
 GRUDENSTIVEN A.
 KELLOGMAK W.

(51)Int. Cl G11C 7 /00

(54) DATA BUS STRUCTURE USED FOR MULTIPLE MEMORY SYSTEM AND DRIVER RECEIVER TECHNIQUE AND METHOD

(57) Abstract:

PURPOSE: A data bus structure used for a multiple memory system and a driver receiver technique and the method for operating the structure are to provide a single memory system capable of accepting 3.3V DIMM(Dual In-Line Memory Module) or DDR(Double Data Rate) DIMM. CONSTITUTION: A memory (10) is connected to a clock(12) through more than a clock line (14) and to a memory controller(16) through an address bus (18), a control/command bus(20) and a data bus(21). The memory controller(16) is connected to the clock through more than an additional clock line(22) and to a processing unit(23) and a graphic controller(24) through address buses(25,26), control buses(27,28) and data lines(29,30). The processing unit(23) is connected to the clock(12) through more than a line(34). The memory controller(16) connected to an input/output bus(31) through an address bus(32) and a control bus(33) comprises a plurality of receiver/driver circuits(39). Each receiver/driver circuit(39) is connected to each data bit on each DIMM(11) forming the memory(10) through each data query line forming the data bus line(21).



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (20000119)
 Notification date of refusal decision (00000000)
 Final disposal of an application (registration)
 Date of final disposal of an application (20020228)
 Patent registration number (1003305310000)
 Date of registration (20020316)
 Number of opposition against the grant of a patent ()
 Date of opposition against the grant of a patent (00000000)
 Number of trial against decision to refuse ()
 Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G11C 7/00		(45) 공고일자 2002년04월01일	
		(11) 등록번호 10-0330531	
		(24) 등록일자 2002년03월16일	
(21) 출원번호 (22) 출원일자	10-2000-0002365 2000년01월19일	(65) 공개번호 (43) 공개일자	특2000-0053529 2000년08월25일
(30) 우선권주장 (73) 특허권자	09/240,647 1999년01월29일 미국(US) 인터내셔널 비지네스 머신즈 코포레이션		
(72) 발명자	미국 10504 뉴욕주 아몬크 델티모시제이 미국버몬트05446콜체스터파크우드드라이브9 그룬던스티븐에이 미국버몬트05465제리초풋힐즈드라이브77 켈로그마크더블유 미국버몬트05452에섹스정선코듀로이로드29		
(74) 대리인	김성택, 조태연, 김항곤, 남희섭		

심사관 : 최정윤

(54) 다중 메모리 기억 및 드라이버 리시버 기술에 사용되는데이터 버스 구조와 이 구조를 동작시키는 방법

요약

본 발명은 복수 개의 데이터 조회 라인으로 구성된 데이터 버스를 통하여 데이터 기억 메모리 모듈을 액세스하는 전자 데이터 기억 시스템에 관한 것으로서, 특히 상기 데이터 버스에 터미네이션이 선택적으로 제공되어, 상기 데이터 기억 메모리가 단부 개방된, 즉 터미네이션이 없는 데이터 조회 라인을 필요로 하는 모듈을 사용하거나 터미네이트된 데이터 버스를 필요로 하는 모듈을 사용할 있도록 구성된 데이터 버스가 구비된 전자 데이터 기억 시스템에 관한 것이다. 본 발명은 특히 3.3V DIMM 또는 DDR DIMM을 사용할 수 있는 1개의 메모리 시스템에 관한 것이다. 본 발명은 메모리 기억 시스템에 사용된 처리 장치 회로에 (3.3V) 리시버/드라이버 회로와 더블 레이트(DDR) 리시버/드라이버 회로와, 이 회로에 접속되어 있으며 상기 메모리 시스템 내의 DIMM의 종류를 식별하는 식별 수단과, 상기 식별된 DIMM을 액세스하여야 하는 리시버/드라이버 회로를 선택하는 선택 수단과, 상기 데이터 조회 라인에 터미네이션을 부가 또는 제거하여 상기 선택된 리시버 드라이버 회로를 식별된 DIMM에 연결시키는 수단을 제공함으로써 달성된다. 따라서, 본 발명은 3.3V DIMM이나 DDR DIMM에 액세스할 수 있고 상기 DIMM에 액세스하는 데에 사용된 데이터 버스에 적절한 터미네이션을 자동적으로 제공하는 메모리 시스템을 제공한다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 처리 장치, 메모리 제어기 및 메모리가 시스템 내에 배열되는 방법을 나타내고 있는 블록도.

도 2는 메모리 제어기, 3.3V DIMM가 들어 있는 메모리 및 연결용 데이터 조회 라인을 나타내고 있는 도 1의 부분에 대한 상세 블록도.

도 3은 메모리 제어기, DDR DIMM가 들어 있는 메모리 및 연결용 데이터 조회 라인을 나타내고 있는 도 1의 부분에 대한 상세 블록도.

도 4는 본 발명에 대한 블록도로서, 소스 직렬 터미네이션이 제공된 DDR 리시버/드라이버와 3.3V 리시버/드라이버 회로를 구비하고, DDR DIMM이나 3.3V DIMM 중 어느 하나가 들어 있는 메모리의 경우 제어기가 사용될 수 있도록 관련 데이터 조회 라인이 말단 병렬 터미네이션에 접속되거나 그로부터 분리될 수 있게 되어 있는 개선된 메모리 제어기를 나타내는 도면.

도 5는 본 발명에 대한 블록도로서, 도 4의 개선된 메모리 제어기를 나타내고 있는데, 상기 DDR 리시버/드라이버 회로에 소스단 병렬 터미네이션이 구비되고, 상기 제어기가 DDR DIMM 또는 3.3V DIMM 중 어느 하나가 들어 있는 메모리에 사용될 수 있도록 관련 데이터 조회 라인이 말단 병렬 터미네이션에 접속되거나 그로부터 분리될 수 있도록 되어 있는 개선된 메모리 제어기에 대한 도면.

도 6은 소스 직렬 터미네이션을 구비한 데이터 조회 라인에 대한 블록도.

도 7은 말단 병렬 터미네이션을 구비한 데이터 조회 라인에 대한 블록도.

도 8은 소스 병렬 터미네이션과 말단 병렬 터미네이션을 구비한 데이터 조회 라인에 대한 블록도.

[도면의 주요 부분에 대한 부호의 설명]

80, 82 : 3.3V DIMM 리시버/드라이버 회로

81, 83 : DDR 리시버/드라이버 회로

16b : 메모리 제어기

77 : 식별 회로 수단

84, 85 : 선택 회로

50, 51 : 데이터 조회 라인

52, 53, 54, 55 : DIMM

94 : 드라이버 회로

18 : 어드레스 버스

20 : 제어 버스

78 : 스트로브 라인

67, 68 : 터미네이션 보드

88, 89 : 스위치

86, 87 : 소스 터미네이션

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 데이터 버스를 경유하여 데이터 기억 메모리 장치에 액세스(판독 및/또는 기록)하는 전자 데이터 기억 시스템에 관한 것으로서, 특히 시스템 내에 사용되는 메모리 기억 장치가 요구하는 바에 따라 선택적으로 터미네이트되거나 또는 단부 개방형일 수 있는 데이터 버스를 경유하여 상이한 종류의 데이터 기억 장치에 액세스할 수 있는 전자 데이터 기억 시스템과, 이러한 전자 데이터 기억 시스템을 동작시키는 방법에 관한 것이다.

본 명세서에 있어서 이를 총칭하여 시스템이라 부르고 있는 컴퓨터, 워크스테이션, 서버 및 이와 유사한 기타 시스템은 메모리 모듈과 같은 다수의 데이터 기억 메모리 유닛을 사용한다. 통상적으로, 각각의 모듈은 액세스 가능한 복수 개의 개별적인 기억 비트를 포함하고 있다. 즉, 상기 비트 내에 기록된 비트에 데이터가 기록되고, 이 비트로부터 데이터가 판독된다. 이는 메모리 제어기를 통하여 처리 장치에 의해 수행되는데, 상기 메모리 제어기는 상기 모듈 내에서 데이터 버스를 통하여 개별적인 기억 비트에 접속되고, 상기 데이터 버스는 각 모듈 내에 있는 개별적인 데이터 기억 비트를 상기 메모리 제어기에 접속시키는 복수 개의 데이터 조회 라인(data query line)을 포함한다. 컴퓨터와 이에 사용되는 프로그램은 그 크기와 복잡성이 증가함에 따라, 보다 양호하고 보다 빠른 속도의 성능에 대한 산업상의 요구, 즉 보다 빠른 기록과 판독은 몇 가지 다른 세대의 처리 장치, 메모리 제어기 및 메모리 모듈을 안출해냄으로써 충족되었다.

복수 개의 개별적인 메모리 유닛으로 형성된 메모리 모듈은 많이 변천되어 왔다. 이러한 시스템에 현재 사용되고 있는 모듈은 통상 이중 인라인 메모리 모듈(Dual In-line Memory Module; 통상, 이를 DIMM이라 부르며, 이하에서도 DIMM이라고 부른다)로서, 이는 상기 데이터 조회 라인을 통하여 서로 결합되어 메모리 제어기에 접속됨으로써 데이터망을 형성한다. 현재 시장에서 구입 가능한 DIMM은 단일 전송 속도(single data rate)인 3.3 볼트 TTL(Transistor-Transistor Logic)(3.3V TTL) 또는 3.3 볼트 상보형 MOS(3.3V CMOS) 리시버 및 드라이버를 사용하는 통상 168 핀 64 비트 모듈로서, 이하에서는 이를 전부 3.3 볼트 DIMM 또는 3.3V DIMM이라고 부른다. 이들 3.3V DIMM은 일반적으로 단부 터미네이션(end termination)이 없는 데이터 버스, 즉 단부 개방형 또는 미터미네이트형(un-terminated)의 데이터 버스에 접속된다. 따라서, 상기 모듈 내의 개별적인 기억 비트와 상기 메모리 제어기 사이의 데이터 버스 내의 각 데이터 조회 라인은 일반적으로 단부 개방형 또는 미터미네이트형이다.

처리 장치 역시 개선되어 그 속도가 크게 증대되어 왔다. 그러나, 처리 장치 속도에 있어서의 증대는 최고의 가능한 시스템 속도를 달성하지는 못하는데, 그 까닭은 3.3 DIMM이 사용되는 시스템 메모리에 대한 메모리 액세스 속도가 상기 처리 장치로부터 전방부(front-side) 버스 속도에 한정되기 때문이다. 시스템 성능을 최대로 하려면, 상기 시스템의 메인 메모리는 버스 클럭의 전방부 속도보다 더욱 고속으로 동작하여야 하는데, 그 이유는 상기 시스템 내의 추가 요소가 메모리 시스템 액세스 속도를 제한하기도 하고, 그에 의해 제한받기도 하기 때문이다. 메모리 액세스 속도가 느려지면, 보다 고속의 처리 장치의 실현을 방해하므로 심각한 병목 현상이 있게된다. 이러한 병목 현상을 제거하기 위해서, 데이터를 메모리 클럭 속도보다 더욱 빠르게 상기 처리 장치에 제공할 수 있는 새로운 DIMM을 사용하는 해결 방안이 제안되기에 이르렀다. 이들 DIMM은 이중 데이터 레이트(DDR) DIMM 및 사중 데이터 레이트(QDR) DIMM으로 알려져 있다. 본 발명은 이러한 새로운 DIMM 중의 어느 하나에 사용될 수 있는 것이기 때문에, 이하에서는 이를 DDR(이중 데이터 레이트) DIMM으로 총칭하여 부르기로 한다.

이들 DDR DIMM에서는 상기 3.3V DIMM에서 요하는 것보다 저전압(통상 2.5V)이 요구되고, 상기 DDR DIMM이 멀티드롭망(multi-drop net) 내에 배치되는 경우는 싱글엔드식 또는 더블엔드식 터미네이트형 데이터 버스가 요구된다. 따라서, 상기 DDR DIMM은 단부 개방형 또는 미터미네이트형 데이터 버스를 사용하는 종전의 3.3V 시스템과의 호환성이 없다. 현재 이러한 DDR DIMM을 사용할 수 있는 신형 시스템이 개발되고 있다. 이들 신형 시스템은, 상기 DDR DIMM이 사용되는 경우, 3.3V DIMM을 사용하는 시스템에 비해서 적어도 2배의 메모리 액세스 속도를 갖게 되고, 이에 의해 그 시스템의 성능과 속도가 모두 크게 향상되게 된다.

이들 신형의 더블 데이터 레이트(DDR) 시스템 및 구형의 저전압 시스템은 모두 DIMM을 사용하지만, 데이터 버스의 단말의 필요성과 DDR DIMM에 요하는 저전압은 DDR DIMM용으로 고안된 새로운 시스템에 종전의 3.3V DIMM을 사용하는 것을 방해하고 있다.

컴퓨터 수요에 있어서의 광범위한 다양성 때문에, 신형 시스템이 도입되는 경우, 제조업자들은 자신들의 고객 기반을 유지하기 위해서 신형 시스템을 도입하는 동시에 구형 시스템을 계속해서 제조하여야 한다. 이것은 제조업자들로 하여금 신형 시스템과 구형 시스템 양자를 공급하기 위해 상이한 부품들을 비축하도록 요한다. 이로 인하여 필요한 부품의 수가 늘어나게 되는데, 이는 재고품 문제, 부품의 관리 문제와, 상기 시스템 조립체 내에서의 인간에 의한 오류가 생길 가능성도 역시 증가된다는 것을 의미한다. 더욱이, 복수 개의 부품들은 특히 이들이 유사할 경우, 초기 컴퓨터의 제작과 현장에서 컴퓨터의 수리 과정에서 혼동을 야기할 수 있다.

그 밖에, 이들 종전 메모리에 많은 투자를 하였기 때문에, 다수의 사용자들은 신형 시스템으로 업그레이드할 경우, 그들의 종전 메모리가 업그레이드된 신형 시스템에서도 사용될 수 있기를 요구한다.

나아가, 상기 신형의 개선된 DDR DIMM 시스템은 통상 더 고가이고, 초기에는 필요한 양만큼 구득되지 못하는 수도 있게 된다. 종래의 기술과 새로운 기술을 모두 수용할 수 있는 시스템을 제공함으로써, 고객들로 하여금 가격과 성능에 근거하여 자기가 사용하는 시스템의 메모리 부분을 구성할 수 있기 때문에 상기와 같은 문제점들은 경감되게 될 것이다.

따라서, 새로운 시스템은 이와 같이 새로운 DDR 방식만을 사용하도록 제작될 수도 있지만, 종전의 3.3V DIMM과 새로운 저전압의 고속 DDR DIMM 양자를 작동시킬 수 있는 시스템의 필요성은 여전히 상존하고 있다. 그러므로, 이와 같이 향상된 시스템에 의하면, 제조업자는 그의 재고품 문제, 부품 관리 문제 및 조립 문제를 경감시키면서 새로운 기술 또는 종전의 기술 중 어느 것을 선택할 것인가하는 선택을 비롯하여 고객에게 더욱 광범위한 시스템을 제공하게 될 것이다.

더욱이, 본 발명은 제조업자로 하여금 기본적인 시스템을 실질적으로 변경시키거나 또는 비용을 크게 증가시키는 일이 없이 그러한 것을 가능하게 한다.

발명이 이루고자하는 기술적 과제

본 발명은 상기 문제점의 해결에 관한 것으로서, 컴퓨터 제조업자로 하여금 신형 DDR DIMM 뿐만 아니라 구형의 널리 사용되고 있고 용이하게 구입할 수 있는 3.3V DIMM에 액세스할 수 있는, 즉 판독 및 기록할 수 있는 데이터 기억 시스템을 제조할 수 있도록 해준다.

따라서, 본 발명에 따르면 3.3V DIMM 또는 DDR DIMM이 사용될 수 있는 개량된 시스템을 얻을 수 있다.

따라서, 본 발명의 목적은 3.3V DIMM 또는 DDR DIMM을 수용할 수 있는 단일 메모리 시스템을 제공하려는 것이다. 이러한 목적은 특히 그러한 메모리 기억 시스템에 사용되는 메모리 제어기 회로에 종전의 (3.3V) 리시버/드라이버 회로와 더블 데이터 레이트(DDR) 리시버/드라이버 회로와, 이들 회로에 결합된 상기 메모리 시스템 내의 DIMM의 종류를 식별하는 수단과, 상기 식별된 DIMM에 액세스 하는 데 필요한 상기 (3.3V) 리시버/드라이버 회로와 더블 데이터 레이트(DDR) 리시버/드라이버 회로 중의 하나를 선택하는 수단과, 상기 선택된 리시버/드라이버 회로를 상기 식별된 DIMM에 서로 연결시키는 데이터 조화 라인에 터미네이션을 부가 또는 제거하는 수단과, 데이터 인터페이스와 어드레스 커맨드 전압 레벨을 변경시키는 수단을 제공함으로써 달성된다.

따라서, 본 발명의 다른 목적은 3.3V DIMM 또는 DDR DIMM 중 어느 하나에 액세스할 수 있는 단일 메모리 시스템을 제공하고, 상기 DIMM에 액세스하는 데 사용되는 데이터 버스에 적절한 터미네이션을 제공하는 것이다.

본 발명의 이러한 특징 및 그 밖의 특징은 도면과 관련한 이하의 설명으로부터 명백하게 될 것이다.

발명의 구성 및 작용

전형적인 메모리 시스템 중 본 발명과 전반적으로 관련된 부분을 도 1과 도 2를 참고로 하여 설명한다. 도 1은 전형적인 메모리 시스템의 일부에 대한 부분 블록도로써 통상, 처리 장치, 클럭, 메모리 제어기 및 데이터 기억 장치로 형성된 메모리가 접속되어 있는 방식을 나타내고 있다. 도 1과 도 2에는 복수 개의 데이터 기억 장치, 즉 이중 인라인 메모리 모듈(11)을 포함하고 있는 메모리(10)가 나타나 있는데, 이하에서는 상기 이중 인라인 메모리 모듈(11)을 DIMM이라 부르기로 한다. 이 기술 분야에 잘 알려져 있는 바와 같이, 각각의 그러한 DIMM(11)은 대다수의 데이터 비트를 포함하고 있다. 상기 메모리(10)를 형성하기 위한 다수의 DIMM의 상호 연결 방식은 이 기술 분야에 잘 알려져 있으므로, 본 명세서에는 더 이상 설명할 필요가 없다. 상기 메모리(10)는 1개 이상의 클럭 라인(14)을 통하여 클럭(12)에 접속되고, 다중 데이터 조화 라인을 구성하고 있는 어드레스 버스(ADDR)(18), 제어 또는 커맨드 버스(CNTL)(20) 및 데이터 버스(DATA)(21)를 통하여 메모리 제어기(16)에 접속되어 있다. 또한, 상기 메모리 제어기(16)는 1개 이상의 추가의 클럭 라인(22)을 통하여 상기 클럭(12)에 접속되고, 각 어드레스 버스(25, 26), 각 제어 버스(27, 28) 및 각 데이터 라인(29, 30)을 통하여 처리 장치(23) 및 그래픽 제어기(24)에 접속된다. 또한, 상기 처리 장치(23)는 1개 이상의 라인(34)을 통하여 상기 클럭(12)에 접속된다. 상기 메모리

제어기(16)는 각각 어드레스 버스(32)와 제어 버스(33)를 통하여 입출력(I/O) 버스(31)에 접속된다.

상기 메모리 제어기(16)는 복수 개의 리시버/드라이버 회로(39)를 포함하고 있는데, 이들 회로는 데이터 버스(21)를 형성하고 있는 각각의 데이터 조회 라인을 통하여 메모리(10)를 형성하는 각각의 DIMM상의 데이터 비트에 접속된다. 기타의 드라이버 회로(15)는 상기 어드레스 버스(18) 및 제어 버스(20)를 3.3V로 설정하는 데에 사용된다.

상기 메모리 제어기(16) 내에 포함되는 리시버/드라이버 회로(39)의 개수와 상기 데이터 버스(21)에 있는 데이터 조회 라인의 개수는 상기 메모리(10)에 있는 각 DIMM에서의 데이터 폭과 동등하다. 따라서, 예컨대 각각의 DIMM이 64의 데이터 폭을 갖는다고 가정한다면, 각 데이터 조회 라인이 각 DIMM상의 특정의 데이터 비트 위치를 각각의 리시버/드라이버 회로에 상호 연결시키도록 리시버/드라이버 회로 64개와 상기 데이터 버스 내의 데이터 조회 라인 64개가 요구된다. 이러한 방식으로, 1개의 DIMM에서 1개의 비트는 종래에 공지된 방식에 의해 기록되거나 판독될 수 있다. 이러한 시스템의 용도 및 제작은 당업자에게 잘 알려져 있기 때문에, 본 명세서에서 상기 시스템 및 그의 용도와 작용에 대한 설명은 더 필요하지 않다.

도 2는 도 1에 나타난 메모리(10)가 3.3V DIMM(35, 36, 37, 38)으로 형성되어 있는 경우를 회로도 형태로 자세히 나타내고 있다. 단지 설명의 목적상, 도 2는 데이터 버스(21)에 있는 1개의 데이터 조회 라인(21a)을 통하여 단지 4개의 DIMM(35, 36, 37, 38)에 접속된 1개의 리시버/드라이버 회로(39a)를 구비한 메모리 제어기(16)를 나타내고 있다. 당업자는 이와 같이 다수의 DIMM이 통상 상기 메모리(10)에 사용되고 있고, 상기 시스템 내에 사용된 DIMM의 데이터 폭에 의해 요구되는 개수만큼의 리시버/드라이버가 있다는 것을 이해하고 있다. 즉, 상기 메모리 제어기(16) 내에 포함된 리시버/드라이버 회로(39)의 개수와 상기 데이터 버스(21)에 있는 데이터 조회 라인의 개수는 상기 메모리(10)에 있는 각 DIMM상의 데이터 폭과 동등하다. 또한, 상기 드라이버 회로(15)의 개수는 상기 어드레스 버스(18)와 제어 버스(20)에 있는 모든 라인에 원하는 전압 레벨을 공급하기에 충분하다.

상기 도 2에 있어서, 상기 데이터 버스(21)에 있는 다수의 라인 중 단지 1개인 단일 데이터 조회 라인(21a)은 상기 메모리(10)를 형성하는 복수 개의 3.3V DIMM(35, 36, 37, 38) 중 각각에 있어서의 특정의 기억 위치를 상기 리시버/드라이버 회로(39a)에 접속시키고 있다는 것을 명백히 이해하여야 한다. 또한, 이러한 데이터 조회 라인, 리시버/드라이버 회로, 기억 비트 및 그의 상호 연결, 동작 및 사용은 산업계에 공지되어 있는 것이므로, 더 설명할 필요가 없다고 믿는다.

도 2의 리시버/드라이버(39a)는 종래의 (3.3V) 리시버/드라이버로서, 이는 각각의 데이터 조회 라인을 통하여 조회, 즉 기록 또는 판독되어야 하는 3.3V DIMM과만 동작이 가능한 것이다. 이와 같은 각 데이터 조회 라인은 그의 소스단 또는 근접단(proximal end), 예컨대 상기 리시버/드라이버에 인접한 단부에서 각각의 리시버/드라이버 회로에 접속되고, 그의 타단 또는 말단(distal end), 예컨대 상기 리시버/드라이버로부터 멀리 위치하는 단부에서 각 DIMM상에 있는 특정의 데이터 비트에 접속된다. 도 2에서 주목할 것은 상기 데이터 조회 라인이 소스단 병렬 터미네이션도 구비하지 않고 말단 병렬 터미네이션도 구비하지 않는다는 것이다. 또한, 상기 드라이버 회로(15)는 단지 상기 어드레스 버스(18)와 제어 버스(20)에 3.3V를 공급하는 (3.3V) 드라이버 회로이다.

도 3은 메모리 시스템으로 하여금 DDR DIMM을 채용할 수 있게 하기 위해서 도 1에 있는 메모리 제어기(16)와 데이터 버스(21)가 어떻게 수정되어야 하는가를 나타내고 있는 블록도이다. 앞서 지적한 바와 같이, 상기 DDR DIMM은 멀티드롭망(multi-drop nets)에서 양쪽 단부가 터미네이트된 데이터 조회 라인을 필요로 한다. 즉, 각 데이터 조회 라인은 그의 소스단 또는 근접단과 그의 말단 또는 터미널단에 터미네이션이 제공되어야 한다.

이러한 터미네이션은, 후술하는 바와 같이, 서로 다른 구성 및 조합의 형태를 취할 수 있다. 예컨대, 도 6은 메모리 제어기(16)와 복수 개의 DIMM(71, 72, 73, 74) 사이에 접속된 데이터 조회 라인(70)에 저항(49)으로 표시된 소스 직렬 터미네이션이 제공되고 있음을 나타내고 있다. 도 7은 메모리 제어기(16)와 복수 개의 DIMM(71, 72, 73, 74) 사이에 접속된 데이터 조회 라인(70)에 저항(63)으로 표시된 말단 병렬 터미네이션이 제공되고 있음을 나타내고 있으며, 상기 저항(63)은 상기 라인(70)을 전압 V_{π} 에 접속시키고 있다. 도 8은 메모리 제어기(16)와 복수 개의 DIMM(71, 72, 73, 74) 사이에 접속된 데이터 조회 라인(70)에 상기 라인(70)을 전압 V_{π} 에 접속시키는 저항(65)으로 표시된 소스 병렬 터미네이션이 제공되어 있고, 또한 상기 라인(70)을 전압 V_{π} 에 접속시키는 저항(63)으로 표시된 말단 병렬 터미네이션이 제공되어 있음을 나타내고 있다.

이들 다양한 터미네이션은 실제 구성에 있어서는 더 조합될 수도 있다는 점에 유의하여야 한다. 예컨대, 상기 DIMM의 속도로 인하여 상기 데이터 조회 라인의 소스단에는 소스 직렬 터미네이션과 말단 병렬 터미네이션이 제공되고, 또는 직렬 및 병렬 소스 터미네이션과 말단 병렬 터미네이션이 제공되어야 할 필요가 있다.

또한, 상기 메모리 제어기(16) 내의 리시버/드라이버 회로 개수와 상기 데이터 버스(21) 내의 데이터 조회 라인의 개수는 전술한 바와 같이 각 DIMM상의 데이터 폭과 동등하고, 상기 어드레스 버스(18) 및 제어 또는 커맨드 버스(20)에 인가되는 전압 또는 인터페이스 레벨은 3.3V DIMM에서 요구되는 3.3V 보다 낮은 전압, 예컨대 2.5V이어야 한다는 것을 상기하여야 한다. 따라서, 도 3의 제어기(16a)는 2.5V의 어드레스 버스 및 제어 버스 드라이버(15a)와 DDR 리시버/드라이버(39b)를 구비하는 것으로 도시되어 있다. 또한, 단지 분명하고 쉽게 설명하기 위해서, 도 3은 1개의 DDR 리시버/드라이버(39b)를 갖는 메모리 제어기(16)를 나타내고 있는데, 상기 DDR 리시버/드라이버(39b)는 1개의 데이터 조회 라인(21b)을 통하여 상기 메모리(10)에 있는 복수 개의 DDR DIMM(41, 42, 43, 44)에 접속되어 있다. DDR DIMM이 터미네이트된 데이터 조회 라인을 필요로 하기 때문에, 상기 리시버/드라이버(39b)는 DDR 리시버/드라이버인데, 이것은 상기 데이터 조회 라인(21b)을 그의 근접단 또는 소스단에서 터미네이트시키는 직렬 저항(45)들, 그리고 상기 라인(21b)과 전압 V_{π} 사이에 접속되어 있으면서 상기 데이터 조회 라인(21b)을 그의 말

상기 직렬 소스 저항(45)은 상기 DDR 리시버/드라이버(39b)와 일체로 설계될 수도 있고, DDR 리시버/드라이버(39b)의 일부로 포함될 수도 있다는 점을 유의하여야 한다. 상기 말단 터미네이션(46)은 DDR DIMM에 의해서만 요구될 뿐이고, 상기 DDR DIMM 전압 인터페이스는 상기 3.3V DIMM 인터페이스에서 필요한 3.3V에 비해서 감소된 크기, 즉 2.5V의 전압을 가지기 때문이다. 상기 DDR DIMM은 3.3V DIMM에 비하여 저전압 장치이고, 3.3V DIMM 및 이들의 관련된 3.3V 리시버/드라이버와 버스 드라이버는 상기 DDR DIMM 및 이들의 관련된 DDR 리시버/드라이버와 버스 드라이버와 호환되거나 또는 대체될 수 없기 때문이다. 그 반대의 경우도 마찬가지이다. 또한, 앞서 지정한 바와 같이, 상기 어드레스 버스(18)와 제어 버스(20)상에 전압 레벨을 설정하는 버스 드라이버(15a)는 종래의 3.3V DIMM 회로에서 요하는 3.3V보다 저전압인 2.5V를 공급하여야 한다.

이러한 호환성의 부족으로 인하여 재고품 문제, 부품 관리 문제 및 기타 전술한 문제점들이 발생하고, 또 시스템 제조업자들은 신형의 DDR 시스템을 도입하는 동시에 구형의 3.3V 시스템도 계속해서 제조하여야만 한다.

본 발명은 이러한 곤란성을 증식시키고 전술한 문제점들에 대한 해결책을 제공한다. 본 발명은 동일한 데이터 버스를 통하여 3.3V DIMM 및 DDR DIMM에 전부 액세스할 수 있는 새로운 전자 데이터 기억 시스템을 제공함으로써 이와 같은 목적을 달성한다. 본 발명은 상기 메모리가 3.3V DIMM 또는 DDR DIMM 중 어느 하나를 사용할 수 있도록 필요에 따라 자동적으로 변경될 수 있는 데이터 조화 라인과 함께 3.3V DIMM 또는 DDR DIMM 중 어느 하나를 수용할 수 있는 새로운 메모리 제어기를 사용함으로써 이를 달성한다. 본 발명에서는 상기 데이터 조화 라인에 수정된(modified) 터미네이션이 용이하고 자동적으로 제공되거나 그로부터 터미네이션을 제거함으로써 상기 데이터 기억 메모리(10)에 말단이 터미네이트되지 않은 데이터 조화 라인을 필요로 하는 3.3V DIMM이나 상기 데이터 조화 라인의 말단에 병렬 터미네이션이 제공되어야 하는 것을 요하는 DDR DIMM 중 어느 하나가 존재할 수 있도록 한다.

본 발명은 도 4에 자세히 나타나 있다. 도 4는 3.3V DIMM 리시버/드라이버 회로와 DDR DIMM 수신기/드라이버 회로의 양자를 포함하는 독특한 메모리 제어기(16b)와, 메모리 회로(10)에 접속되는 데이터 조화 라인(50, 51)으로 구성되어 있고 각각의 터미네이션 보드(67, 68)에 각각 접속되는 데이터 버스와 함께 상이한 전압 레벨로 설정될 수 있는 어드레스 버스 및 제어 버스 드라이버에 대한 불럭도를 나타내고 있다. 별도의 터미네이션 보드가 필요하지 않다는 점을 유의하여야 한다. 그 대신, 예컨대 상기 터미네이션 보드(67, 68)상의 소자들은 메모리 보드를 탑재하는 시스템 보드상에 직접 설치할 수 있다. 도 1에 있는 메모리 제어기(16)를 상기 메모리 제어기(16b)로 대체하고, 상기 데이터 기억 메모리(10)에 상기 터미네이션 보드(67, 68)를 추가함으로써 도 1의 시스템은 구형 3.3V DIMM 뿐만 아니라 신형 DDR DIMM의 경우에도 동작될 수 있게 된다.

도 4에 도시되어 있는 독특한 메모리 제어기(16b)에는 2.5V 및 3.3V의 2가지의 전압 레벨을 제공하도록 설치될 수 있는 드라이버(94)와, 3.3V 리시버/드라이버 및 DDR 리시버/드라이버 회로를 각각 포함하는 리시버/드라이버 세트(75, 76)와, 상기 데이터 기억 메모리에 있는 DIMM 종류의 식별용 식별 회로 수단(77)과, 상기 시스템 데이터 버스를 형성하는 데이터 조화 라인에 단부 터미네이션을 접속시키도록 상기 터미네이션 보드(67, 68)를 구동시키는 스트로브(strobe) 수단이 제공된다.

상기 DIMM 식별 회로 수단(77)은 상기 DIMM의 동작시 DIMM에서 나오는 식별 신호를 인식하는 비교기 회로처럼 간단하게 이루어질 수 있다. 상기 DIMM 식별 수단(77)은 상기 메모리 제어기(16b)에서 상기 데이터 기억 메모리(10)에 있는 DIMM의 종류를 식별하고, DDR DIMM이 상기 메모리(10)에 존재한다고 발견되는 경우 스트로브 라인(78)을 통하여 스위치 구동 펄스를 상기 터미네이션 보드(67, 68)로 전송한다. 3.3V DIMM이든 DDR DIMM이든 관계 없이, DIMM에는 제조시 각각 내장되는 직렬 실재 검출(SPD: Serial Presence Detect)이라고도 알려진 프로그램 가능한 ROM(PROM)과 같은 식별 수단이 제공된다. 이 PROM에는 상기 DIMM이 3.3V DIMM인지 DDR DIMM인지 식별하는 코드가 기록된다. 따라서, 상기 메모리(10)에 있는 DIMM은 상기 식별 회로 수단(77)에 대하여 그의 종류, 즉 3.3V DIMM인지 DDR DIMM인지 식별될 수 있도록 만들어진다. PROM과 같이 판독 및 기록에 적절한 다수의 회로는 당업자에게 공지되어 있고 용이하게 사용될 수 있는 것으로서, 이에 대한 설명은 필요하지 않을 것이다. 상기 메모리 제어기가 그의 전압을 3.3V DIMM 또는 DDR DIMM 중 어느 하나에 의해 요구되는 레벨로 조정하도록 하는 기술은 당업자에게 공지되어 있고 용이하게 사용될 수 있는 것으로서, 이에 대한 설명은 필요하지 않을 것이다.

상기 메모리 제어기(16)에 있는 리시버/드라이버 회로의 개수가 각 DIMM(52, 53, 54, 55)상의 데이터 폭과 동일하여야 한다는 것을 다시 유의하여야 한다. 따라서, 상기 메모리(10)에 있는 각 DIMM(52, 53, 54, 55)이 64 데이터 비트를 갖는다고 가정할 때, 각 DIMM에 있는 모든 비트를 조화하려면 64 세트의 리시버/드라이버 회로가 필요하고, 이 경우 각 세트의 리시버/드라이버 회로는 3.3V 리시버/드라이버 회로와 DDR 리시버/드라이버 회로를 포함하고 있기 때문에, 상기 메모리 제어기(16)에 접속된 리시버/드라이버 회로는 총 128개가 될 것이다. 또한, 상기 버스 드라이버 회로(94)의 개수는 상기 어드레스 버스(18)와 커맨드 또는 제어 버스(20)에 원하는 전압 레벨을 제공하는 데에 충분한 것이어야 한다.

그러나, 본 발명의 도면 및 상세한 설명에서는 명확성을 기하기 위하여 상기 메모리 제어기(16b)가 도 4에서 2 세트의 리시버/드라이버 회로(75, 76)를 갖는 것으로 도시하고 있다. 각 세트의 리시버/드라이버 회로(75, 76)는 1개의 3.3V 리시버/드라이버와 1개의 DDR 리시버/드라이버로 구성되어 있다. 따라서, 상기 세트(75)는 3.3V 리시버/드라이버(80)와 DDR 리시버/드라이버(81)로 구성되어 있고, 상기 세트(76)는 3.3V 리시버/드라이버(82)와 DDR 리시버/드라이버(83)로 구성되어 있다.

이와 같은 구성은 당업자에게 극히 명백한 것들 중 단지 1개의 가능한 구성임을 유의하여야 한다.

각각의 3.3V 리시버/드라이버 회로(80, 82)는 각각의 선택 회로(84, 85)의 제1 입력에 각각 접속된 출력(80a, 82a)을 갖는다. 각각의 DDR 리시버/드라이버 회로(81, 83)는 각각의 소스 터미네이션(86, 87)을 통하여 각각의 출력(81a, 83a)에 연결되고, 이어서 이들 출력은 각각 선택 회로(84, 85)의 제2 입력에 접속된다. 이번에는 상기 선택 회로(84, 85)의 출력이 각각의 데이터 조화 라인(50, 51)을 통하여 상기 메모리(10)에 있는 각 DIMM(52, 53, 54, 55)의 비트 데이터 비트에 접속된다.

전술한 수단은 본 발명을 구현하는 가능한 방법 중 단지 하나의 방법이며, 당업자에게는 다른 회로 및 다른 구현 예가 극히 명백한 것임을 유의하여야 한다.

예컨대, 상기 선택 회로(84, 85)는 다수의 입력 중에서 선택된 1개의 입력만을 출력으로 내보내는 것으로서, 멀티플렉서(MUX)나 OR 회로, 또는 적절한 회로가 될 수 있다. 각 선택 회로(84, 85)의 출력은 각 데이터 조회 라인(50, 51)을 통하여 상기 메모리(10)에 있는 각 DIMM(52, 53, 54, 55)의 선택된 기억 비트 위치에 접속되고, 각 터미네이션 보드(67, 68)에 접속된다.

본 발명은 상기 데이터 버스(21)를 형성하는 각각의 데이터 조회 라인이 추가 및 제거가 제어 가능하도록 되어 있는 터미네이션을 가질 수 있도록 하는 수단을 제공하고 있기 때문에, 상기 메모리 제어기에 있는 각 세트의 리시버/드라이버 회로에 대하여 1개의 데이터 라인만 있으면 된다. 따라서, 상기 데이터 조회 라인(50, 51)은 각각의 터미네이션 보드(67, 68)에 있는 각각의 비트 스위치(88, 89)에 접속되어 있고, 각 DIMM(52, 53, 54, 55)에 있는 서로 다른 특정의 비트 위치에 접속되어 있는 것으로 나타나 있다.

각각의 비트 스위치(88, 89)에는 데이터 비트 라인(50, 51)이 각각 연결되어 있는 입력 전극(88a, 89a)이 있다. 또한, 상기 비트 스위치(88, 89)에는 각각의 말단 터미네이션(90, 91)을 통하여 전압 라인(92)에 접속되어 있는 각각의 출력 전극(88b, 89b)이 있는데, 상기 전압 라인(92)은 통상 1.25V이지만 1.4V까지 올라갈 수 있는 전압 V_{TT} 에 접속되어 있다. 상기 스위치(88, 89)에는 필요에 따라 상기 데이터 조회 라인으로부터 상기 말단 병렬 터미네이션(90, 91)을 접속시키거나 분리시킴으로써 각 카드 상에서 상기 스위치(88, 89)를 개폐시키는 토글(toggle) 입력(88c, 89c)이 있다. 이 토글 입력(88c, 89c)은 상기 스트로브 라인(78)을 통하여 다시 메모리 제어기로 접속되어 제어된다.

상기 어드레스 버스(18)와 제어 버스(20)가 DDR DIMM과 같이 사용되는 경우에는 2.5V로 설정되어야 하며, 3.3V DIMM에서 요구되는 3.3V가 될 수는 없다. 이는 상기 메모리 제어기(16b)에 어드레스 버스 및 제어 버스 드라이버(94)를 제공함으로써 이루어지는데, 이 어드레스 버스 및 제어 버스 드라이버(94)는 메모리(10)에 있는 DIMM이 요구하는 대로 상기 어드레스 버스(18) 및 제어 버스(20)에 3.3V 또는 2.5V를 제공하도록 용이하게 설정될 수 있는 것이다.

초기에 상기 리시버/드라이버 회로(80, 81, 82, 83)는 모두 오프(off) 상태로 되고, 터미널 보드(67, 68)상의 스위치(88, 89)는 개방되며, 데이터 조회 라인(50, 51)은 단부 개방형(open-ended), 즉 말단 병렬 터미네이션이 없으며, 드라이버(94)는 오프 상태이다. 시스템이 구동되면, 상기 제어기(16b)가 식별 회로(77)로 하여금 상기 기억부(10)에 있는 DIMM(52, 53, 54, 55)을 조회하도록 한다. 상기 DIMM(52, 53, 54, 55)이 3.3V DIMM으로 식별되는 경우, 상기 식별 회로(77)는 리시버/드라이버 회로(75, 76)의 각 세트에 있는 3.3V 리시버/드라이버 회로(80, 82)를 구동 상태, 즉 온 상태가 되게 하고, 선택 회로는 상기 데이터 조회 라인(50, 51)을 통하여 상기 리시버/드라이버 회로(80, 82)를 상기 DIMM(52, 53, 54, 55)에 접속시킨다. 이와 동시에, 상기 드라이버 회로(94)는 상기 어드레스 버스(18)와 제어 버스(20)에 3.3V를 제공하도록 설정된다. 상기 DDR 리시버/드라이버 회로(81, 83)와 스트로브 라인(78)은 모두 비구동 상태 또는 오프 상태에 있고, 상기 스위치(67, 68)는 정상 상태인 개방 상태에 있다. 이 스위치(67, 68)가 개방되어 있기 때문에, 상기 데이터 조회 라인(50, 51)은 터미네이트되지 않은 상태 또는 단부 개방 상태에 있게 된다. 이와 같은 방법으로 상기 시스템은 3.3V DIMM 시스템으로 동작한다.

그러나, 상기 시스템이 온 상태가 되어 상기 식별 회로(77)가 기억부(10)에 있는 DIMM(52, 53, 54, 55)을 조회하고, 이 DIMM(52, 53, 54, 55)이 DDR DIMM으로 식별되면, 상기 리시버/드라이버 회로(75, 76)에 있는 DDR 리시버/드라이버 회로(81, 83)는 구동 상태, 즉 온 상태로 되는 반면에 상기 3.3V 리시버/드라이버 회로(80, 82)는 오프 상태에 있게 된다. 이와 동시에, 상기 식별 회로(77)는 스트로브 라인(78)을 통하여 상기 비트 스위치 토글(88c, 89c)에 신호를 전송하여 상기 스위치(88, 89)가 닫히게 함으로써 각 말단 터미네이션(90, 91)을 통하여 상기 데이터 조회 라인(50, 51)을 V_{TT} 전압 라인(92)에 접속시킨다.

또한, 상기 메모리 제어기(16b)에서 메모리 버스 및 제어 버스 드라이버(94)는 2.5V로 설정되어, 이 전압을 메모리(10)의 DDR DIMM에 의해 요구되는 어드레스 버스(18) 및 제어 버스(20)에 공급한다. 따라서, 상기 데이터 버스에 있는 모든 데이터 조회 라인이 터미네이트되고, 데이터, 어드레스 및 커맨드 인터페이스 즉, 전압 레벨은 상기 시스템이 DDR DIMM 시스템으로 작동하는 데에 필요한 전압 또는 필요한 상태로 설정된다.

본 발명은 도 1의 시스템에서 변경된 제어기(16b)를 제공하고, 상기 데이터 조회 라인의 말단부에 병렬 터미네이션을 결합시켜 상기 데이터, 어드레스 라인 및 제어 또는 커맨드 라인 상의 전압을 변경시키는 수단을 제공함으로써, 상기 데이터 기억부에 데이터 조회 라인이 단부 개방되도록 요구하는 즉, 터미네이션이 없도록 요구하는 모듈이 존재하거나 상기 데이터 버스가 터미네이트되도록 요구하는 모듈이 존재하는 것을 허용하는 기억 시스템을 제공한다.

따라서, 본 발명은 3.3V DIMM이나 DDR DIMM 중 어느 하나가 존재할 수 있는 데이터 기억 메모리 시스템을 제공하고 있는데, 상기 3.3V DIMM은 말단부가 터미네이트된 데이터 조회 라인을 요구하지 않고, 상기 DDR DIMM은 말단부가 터미네이트된 데이터 조회 라인을 요구하는 것이다.

도 5는 도 4에 나타난 것과 실질적으로 동일한 발명에 대한 블록도이지만, 도 5에는 소스단 병렬 터미네이션이 추가로 제공되어 있다. 이러한 도 5의 동작은 전술한 도 4의 동작과 동일하기 때문에 이에 대한 자세한 내용은 여기서 반복할 필요가 없다. 도 5는 특히 소스단 직렬 터미네이션(86, 87)과 소스단 병렬 터미네이션(98, 99)이 전부 제공된 DDR 리시버/드라이버 회로(81, 83)를 나타내고 있다. 따라서, 도 5에 있는 회로는 상기 메모리(10)에 있는 DDR DIMM이 관련 데이터 조회 라인(50, 51)의 양 단부가 병렬 터미네이션에 결합되어야 함을 요구하는 경우에도 사용될 수 있다.

지금까지 데이터 버스를 통하여 다른 리시버/드라이버 회로가 시스템에 있는 데이터 기억부에 결합되도록 되어 있는 전자 데이터 기억 시스템에 관하여 설명하였는데, 상기 데이터 버스에는 터미네이션이 선택적으로 제공될 수 있기 때문에, 상기 데이터 조회 라인이 단부 개방 상태 즉 터미네이션이 없는 상태

재할 수 있게 된다.

이상, 본 발명의 바람직한 실시예에 대한 설명을 마치겠다.

전술한 구성 및 방법은 본 명세서에서 설명된 발명의 범위를 벗어남이 없이 변경될 수 있는 것이기 때문에, 상기 상세한 설명에 포함되거나 첨부된 도면에 나타난 모든 발명은 예시적인 것으로 이해되어야 하며 한정적인 것으로 이해되지 않아야 한다. 따라서, 이하의 특허청구범위에 기재된 본 발명의 사상과 범위 안에서의 다른 대안 및 수정은 당업자에게 명백할 것이다.

발명의 효과

본 발명에 따른 전자 데이터 기억 시스템에 의하면 단일 메모리 시스템 내에서 데이터 조회 라인상에 터미네이션을 선택적으로 추가 또는 제거함으로써 고속의 메모리 액세스 속도를 갖는 DDR DIMM과 종래의 3.3V DIMM을 동시에 사용할 수 있게 되어 전체 시스템의 속도 등의 성능을 향상시킬 수 있음과 동시에 종전 시스템과의 호환성으로 인해 비용 절감의 효과 등을 얻을 수 있다.

(57) 청구의 범위

청구항 1

데이터 버스를 통하여 데이터 기억 메모리 장치를 액세스하는 전자 데이터 기억 시스템에 있어서,

- a) 메모리 기억 공간(memory storage)과,
- b) 상기 메모리 기억 공간에 존재하는 복수 개의 데이터 기억 장치와,
- c) 메모리 제어기와,
- d) 상기 메모리 제어기를 상기 데이터 기억 장치에 접속시키는 복수 개의 데이터 조회 라인(data query line)을 포함하는 데이터 버스와,
- e) 복수 개의 데이터 라인 터미네이션(data line termination)과,
- f) 상기 메모리 제어기에 접속되고, 상기 메모리 기억 공간에 있는 메모리 기억 장치에 의해 요구되는 경우에 상기 터미네이션 중 해당 터미네이션을 상기 데이터 조회 라인 중 해당 데이터 조회 라인에 부가하는 수단

을 포함하는 전자 데이터 기억 시스템.

청구항 2

제1항에 있어서,

상기 터미네이션이 상기 데이터 조회 라인에 접속되는 경우, 이 데이터 조회 라인상의 전압 레벨을 변경시키는 것으로서 상기 터미네이션에 접속되어 있는 전압 수단을 더 포함하는 전자 데이터 기억 시스템.

청구항 3

제1항에 있어서, 상기 메모리 제어기를 상기 기억 장치에 접속시키는 어드레스 버스 및 커맨드 버스와, 상기 어드레스 버스 및 커맨드 버스 상의 전압 레벨을 변경시키는 수단을 더 포함하는 것인 전자 데이터 기억 시스템.

청구항 4

제3항에 있어서, 상기 메모리 제어기에는 복수 개의 리시버/드라이버 회로와 상기 메모리 기억 시스템에 있는 데이터 기억 장치의 종류를 판단하는 수단이 결합되어 있는 것인 전자 데이터 기억 시스템.

청구항 5

제4항에 있어서, 상기 리시버/드라이버 회로의 각 세트는 3.3V DIMM(Dual In-line Memory Module)과 함께 동작하도록 구성된 제1 리시버/드라이버 회로와 DDR(Double Data Rate) DIMM과 함께 동작하도록 구성된 제2 리시버/드라이버 회로를 포함하는 것인 전자 데이터 기억 시스템.

청구항 6

제4항에 있어서, 각 데이터 조회 라인에 상기 메모리 기억 시스템에 있는 각 데이터 기억 장치에 접속되고, 선택 회로를 통해서 각 세트의 리시버/드라이버 회로와, 각 병렬 라인 터미네이션에 접속되어 있는 것인 전자 데이터 기억 시스템.

청구항 7

제6항에 있어서, 각 병렬 라인 터미네이션은 스위치를 통하여 각 데이터 조회 라인에 접속되는 것인 전자 데이터 기억 시스템.

청구항 8

제5항에 있어서, 상기 리시버/드라이버 회로의 각 세트는 선택 회로를 통하여 각 데이터 조회 라인에 접속되는 것인 전자 데이터 기억 시스템.

청구항 9

제7항에 있어서, 각 선택 회로는 멀티플렉서인 것인 전자 데이터 기억 시스템.

청구항 10

제2항에 있어서, 상기 각각의 데이터 조회 라인은 2개의 병렬 터미네이션¹⁰⁰ 각 라인 상에 있는 상기 터미네이션 중 제1 터미네이션은 상기 메모리 제어기에 인접한 데이터 조회 라인의 인접단에 접속되어 있고, 제2 터미네이션은 상기 메모리 제어기로부터 가장 멀리 위치한 데이터 조회 라인의 말단에 접속되어 있음¹⁰⁰에 접속되어 있는 것인 전자 데이터 기억 시스템.

청구항 11

제7항에 있어서, 각 선택 회로는 비교기인 것인 전자 데이터 기억 시스템.

청구항 12

제3항에 있어서, 상기 메모리 제어기는

데이터 조회 라인을 통하여 상기 메모리에 접속되는 복수 개의 저전압 리시버/드라이버 회로와 더블 레이트(double rate) 리시버/드라이버 회로와,

상기 메모리에 있는 DIMM의 종류를 식별하는 식별 수단과,

상기 저전압 리시버/드라이버 회로와 더블 레이트 리시버/드라이버 회로 중에서 상기 식별된 DIMM에 액세스할 회로를 선택하는 선택 수단과,

상기 식별된 DIMM이 터미네이션을 요구하는 경우, 상기 데이터 조회 라인에 터미네이션을 추가 또는 제거하여 선택된 리시버/드라이버 회로를 식별된 DIMM에 연결시키는 수단

을 구비하는 것인 전자 데이터 기억 시스템.

청구항 13

데이터 버스를 통하여 데이터 기억 메모리 장치를 액세스하는 전자 데이터 기억 시스템에 있어서,

a) 메모리 기억 공간과,

b) 상기 메모리 기억 공간 내에 있으며, 선택된 데이터 인터페이스 전압 레벨을 갖는 복수 개의 데이터 기억 장치와,

c) 메모리 제어기와,

d) 복수 개의 병렬 터미네이션과,

e) 상기 메모리 제어기에 접속된 복수 개의 리시버/드라이버 회로와,

f) 상기 리시버/드라이버 회로와 데이터 기억 장치 사이에 접속된 복수 개의 데이터 조회 라인¹⁰⁰ 여기서, 이 복수 개의 데이터 조회 라인의 각 데이터 조회 라인은 각 리시버/드라이버에 접속된 근접단(proximal end)과, 상기 데이터 기억 장치 중 어느 하나에 접속된 말단(distal end)을 구비함¹⁰⁰을 포함하는 데이터 버스와,

g) 상기 메모리 제어기에 접속되어 있으며, 상기 메모리 기억 공간에 있는 메모리 기억 장치가 터미네이션을 필요로 하는 경우 상기 데이터 조회 라인의 각 말단에 각각의 병렬 터미네이션을 선택적으로 추가하는 수단

을 포함하는 것인 전자 데이터 기억 시스템.

청구항 14

전자 데이터 기억 시스템에 있어서,

a) 복수 개의 데이터 기억 메모리 모듈¹⁰⁰ 이러한 각각의 모듈은 복수 개의 DIMMs을 포함함¹⁰⁰을 포함하는 메모리와,

b) 메모리 제어기와,

c) 상기 모듈과 제어기 사이에 접속된 다중 데이터 조회 라인을 포함하는 데이터 버스와,

d) 상기 데이터 조회 라인에 터미네이션을 선택적으로 제공함으로써, 상기 데이터 조회 라인이 단부 개방(open-ended)될 것임을 요구하는 모듈 또는 상기 데이터 버스가 터미네이트되어야 함을 요구하는 모듈을 상기 데이터 기억 메모리가 사용하도록 허용하는 수단

을 포함하는 것인 전자 데이터 기억 시스템.

청구항 15

제14항에 있어서, 상기 메모리 제어기는

시버/드라이버 회로는 제1 리시버/드라이버 회로와 제2 리시버/드라이버 회로를 포함¹⁰⁰와,

b) 상기 리시버/드라이버 회로에 접속된 메모리 시스템 내의 DIMM의 종류를 식별하는 식별 수단과,

c) 각 세트의 리시버/드라이버 회로에 접속되어 상기 식별된 DIMM을 액세스하도록 요구되는 것으로서 각 세트의 리시버/드라이버 회로에서 제1 리시버/드라이버 회로 또는 제2 리시버/드라이버 회로 중 어느 하나의 회로를 선택하는 선택 수단

을 포함하는 것인 전자 데이터 기억 시스템.

청구항 16

제14항에 있어서, 상기 메모리 제어기는

a) 상기 메모리에 접속된 어드레스 버스 및 제어 버스와,

b) 서로 다른 전압 레벨로 설정될 수 있는 어드레스 버스 및 제어 버스 드라이버와,

c) 각 세트가 3.3V DIMM 리시버/드라이버 및 DDR DIMM 리시버/드라이버를 포함하는 리시버/드라이버 회로 세트와,

d) 상기 메모리에 있는 기억 장치의 종류를 식별하는 식별 회로 수단과,

e) 각 병렬 터미네이션을 각 데이터 조화 라인의 말단에 결합시키도록 비트 스위치를 구동시키는 구동 수단(activating means)

을 더 포함하는 것인 전자 데이터 기억 시스템.

청구항 17

제15항에 있어서, 메모리 시스템에 있는 기억 장치의 종류를 식별하는 상기 식별 수단은 비교기 회로인 것인 전자 데이터 기억 시스템.

청구항 18

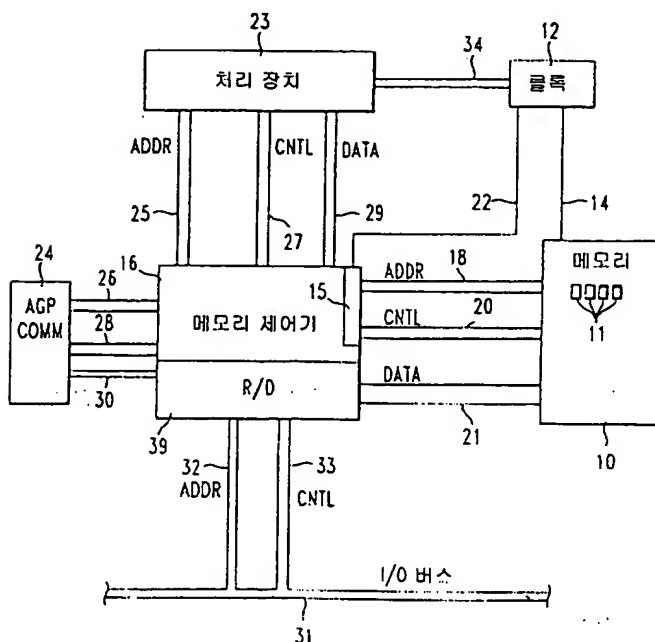
제16항에 있어서, 메모리 시스템에 있는 기억 장치의 종류를 식별하는 식별 수단은 메모리 제어기에 접속되고, 상기 메모리 제어기는 이에 접속되어 DDR DIMMs가 상기 메모리(10)에 존재한다고 밝혀진 경우 상기 비트 스위치를 구동시켜 상기 병렬 터미네이션을 각 데이터 조화 라인의 단부에 접속시키는 스트로브 라인을 더 포함하는 것인 전자 데이터 기억 시스템.

청구항 19

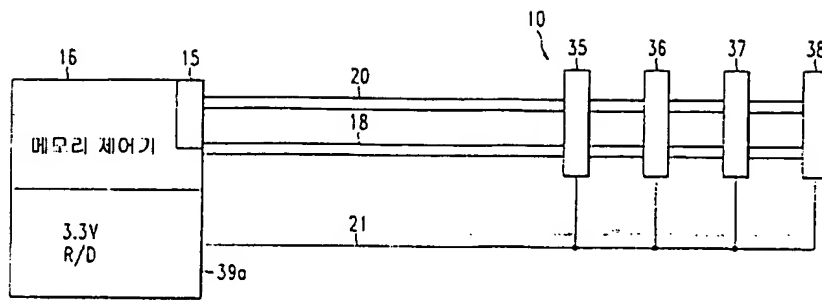
제14항에 있어서, 상기 DIMM은 직력 실재 검출(SPD: Serial Presence Detect) 식별 수단을 구비하는 것인 전자 데이터 기억 시스템.

도면

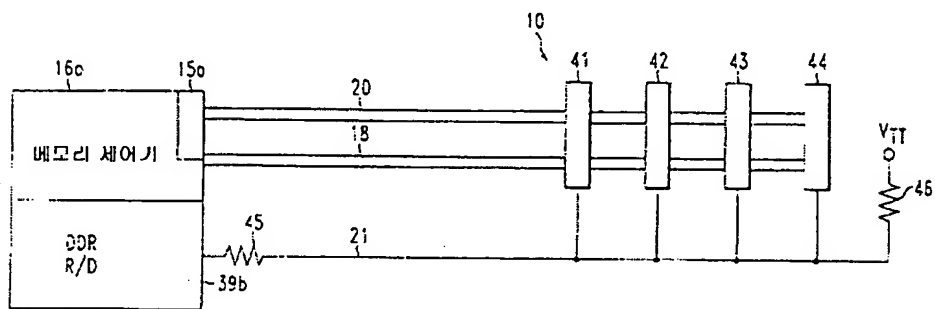
도면1



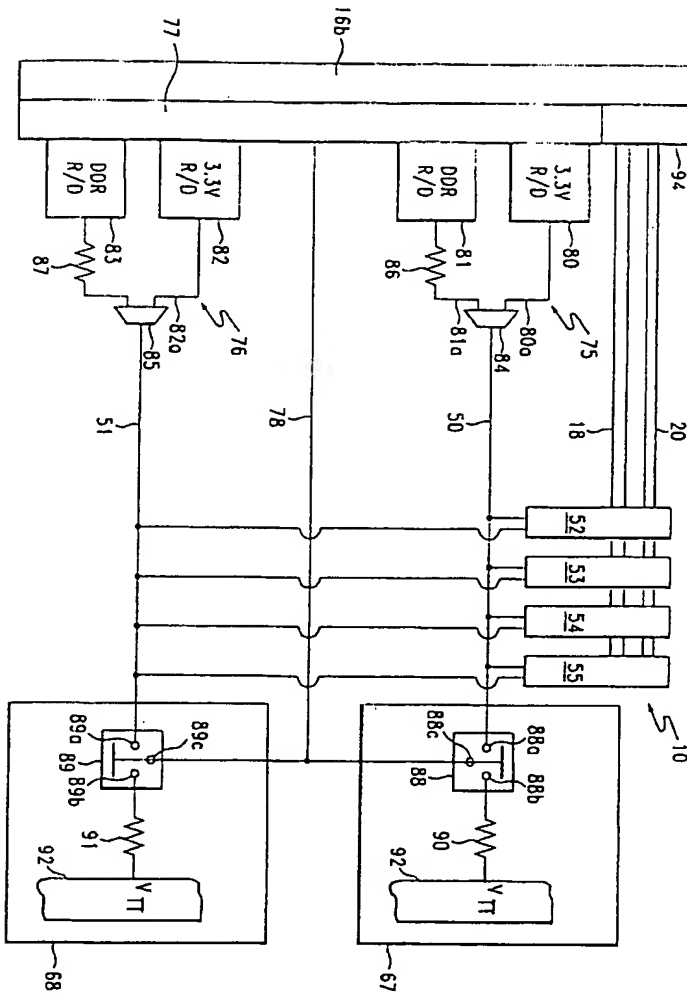
도면2



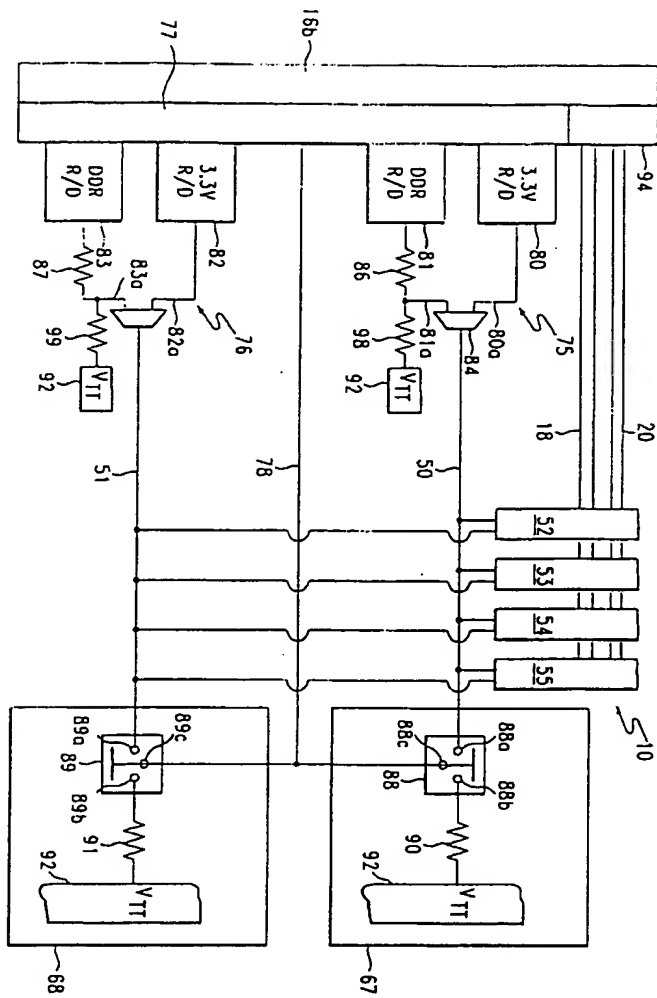
도면3



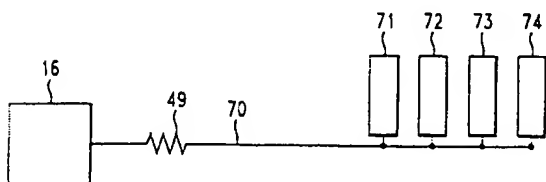
도면4



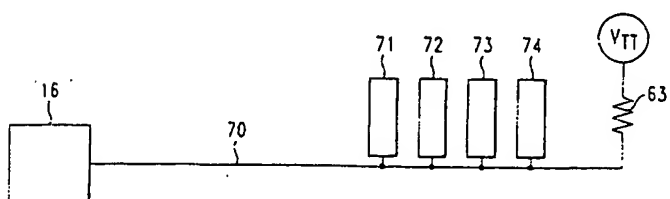
도면5



도면6



도면7



도면8

